

基于电荷补偿型的高SNR模拟域TDI图像传感器

郭仲杰*, 李 晨, 许睿明, 程新齐, 余宁梅, 苏昌勛

(西安理工大学自动化与信息工程学院, 陕西西安 710048)

摘要: 针对传统模拟域时间延迟积分(Time Delay Integration, TDI)CMOS(Complementary Metal Oxide Semiconductor)图像传感器累加过程中的寄生影响问题, 本文提出了一种高精度模拟域高级数CMOS-TDI图像传感器设计方案. 该方案基于电荷自适应补偿的思想, 对累加过程中采样相位与保持相位的寄生效应损失电荷分别进行补偿, 解决了模拟域CMOS-TDI图像传感器高级数累加精度低的问题; 同时基于热噪声KT/C消除技术, 将原有的累加器电路噪声降低1/2, 进而降低了累加器中采样电容与保持电容的容值需求. 本文基于55 nm CMOS工艺实现了最大128级累加, 7.75 kHz行频的模拟域CMOS-TDI图像传感器. 基于寄生效应的影响机理, 本文所提电路通过对存储电容顶板上极板与下极板交替充电, 实现差分输出值翻转, 同时配合正反馈电容, 动态补偿采样阶段和保持阶段的电荷损失. 128级累加的SNR(Signal-to-Noise Ratio)可以提高20.9 dB.

关键词: CMOS图像传感器; 时间延迟积分; KT/C消除技术; 电荷补偿

基金项目: 国家自然科学基金面上项目(No.62171367); 陕西省重点研发计划项目(No.2021GY-060); 陕西省创新能力支撑计划项目(No.2022TD-39)

引用格式: 郭仲杰, 李晨, 许睿明, 等. 基于电荷补偿型的高SNR模拟域TDI图像传感器[J]. 电子学报, XXXX, XX(XX): 1-9. DOI: 10.12263/DZXB.20220832

中图分类号: TN47

文献标识码: A

文章编号: 0372-2112(XXXX)XX-0001-09

电子学报URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20220832

A high SNR Improvement Analog TDI Image Sensor With Charge Compensation Technique

GUO Zhong-jie*, LI Chen, XU Rui-ming, CHEN Xin-qi, YU Ning-mei, SU Chang-xu

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an, Shaanxi 710048, China)

Abstract: Aiming at the problem of parasitic effects in the accumulation process of traditional analog domain time delay integration (TDI) CMOS (Complementary Metal Oxide Semiconductor) image sensors, this paper proposes a high-precision analog domain advanced digital CMOS-TDI image sensor design scheme. Based on the idea of charge adaptive compensation, the scheme compensates the parasitic charge loss of the sampling phase and the holding phase during the accumulation process, which solves the problem of low accumulation accuracy of advanced digital in the analog domain CMOS-TDI image sensor. At the same time, based on the thermal noise KT/C elimination technology, the scheme reduces the noise of the accumulator circuit by 1/2, there by reducing the capacitance requirements of the sampling capacitor and the holding capacitor in the accumulator. In this paper, an analog domain CMOS-TDI image sensor with a maximum 128-stage accumulation and a line frequency of 7.75 kHz is realized based on the 55 nm CMOS process. Based on the influence mechanism of the parasitic effect, the proposed circuit realizes the inversion of the differential output value by alternately charging the top plate and the bottom plate of the storage capacitor to, and at the same time, cooperates with the positive feedback capacitor to dynamically compensate the charge loss in the sampling phase and the holding phase. The SNR (Signal-to-Noise Ratio) of 128 stage of accumulation can be improved by up to 20.9 dB.

Key words: CMOS image sensors; time delay integral; noise KT/C; charge compensate

Foundation Item(s): National Natural Science Foundation of China (No.62171367); Key Research and Development Program of Shaanxi Province (No.2021GY-060); Shaanxi Province Innovation Capability Support Plan (No.2022TD-39)

Citation: GUO Zhong-jie, LI Chen, XU Rui-ming, et al. A high SNR Improvement Analog TDI Image Sensor With Charge Compensation Technique[J]. Acta Electronica Sinica, XXXX, XX(XX): 1-9. DOI:10.12263/DZXB.20220832

1 引言

时间延迟积分(Time Delay Integration, TDI)相机在远程推扫式传感系统中发挥着关键性作用,被广泛应用于高扫描速度和低照度条件下进行系统扫描的场景^[1]. 它可以有效提高此类场景的成像水平^[2-5]. 电荷耦合器件(Charge-Coupled Device, CCD)因可实现对信号的低噪声积累,被广泛应用于读出电路的设计过程中,但与CMOS(Complementary Metal Oxide Semiconductor)工艺的不兼容性以及高功耗的缺点限制了它在该领域的发展^[6,7];相反,CMOS技术因低功耗和高集成密度而在得到越来越广泛的应用^[8,9].

对线性阵列来说,使用TDI可有效提高图像整体的信噪比(Signal-to-Noise Ratio, SNR),但相比CCD,CMOS很难实现同一列所有像素的片上低噪声积累和同步信号捕获. 故而暴露出TDI图像传感器的关键性问题,即

如何实现高精度的累积.

文献[10]提出了一种带有模拟累加器的25级TDI CIS,但每级累加器都需要一个独立的放大器和累积电容器,导致传感器需要大的面积和高功耗. 文献[11]提出了一种带有模拟累加器的32级TDI CIS(CMOS Image Sensor),该传感器实现了高行频和低功耗,但随着TDI级数的增加,布局中的寄生电容会显著影响有效累加级数. 随着科技的发展,人们对低照度扫描场景的需求也进一步提高. 高级数累加和SNR改善成为目前TDI图像传感器的一个研究趋势. 但累加级数的增加又会带来存储电容网络寄生效应明显的问题,严重影响了累加效应. 如图1所示,总寄生电容 C_{ptotal} 在电荷转移过程中不断吸收保持电容 C_{H} 中的电荷. 当保持电容 C_{H} 中损失的电荷等于 TL_N 时的转移电荷时,积分器的采样阶段电荷量等于保持阶段的电荷量,积分器电荷累加结束.

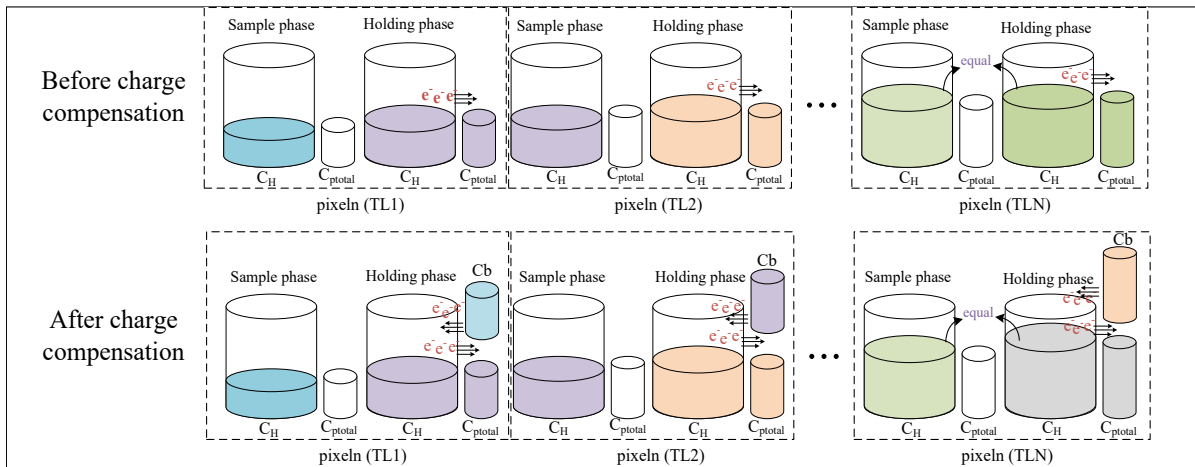


图1 寄生电容分享转移电荷原理

面对此类问题,目前有两种常规的解决方案:一是引入去耦合电容以减少存储电容网络的寄生电容的影响^[12];二是使用两步累积来减少存储电容的数量,同时引入去耦合电容以减少寄生电容的影响^[13]. 但多级累加增加的电容会牺牲版图面积且两步累加需要复杂的控制电路,导致电容网络的面积没有得到有效减小. 文献[14]使用流水线电荷转移像素单元模拟CCD电荷累积方式,实现45级累积电荷域累积,虽然行频有很大提高,但电荷存储容量有限,像素单元过于复杂,限制了累积级数的扩展,且精度受限于非理想因素. 文献[15]提出数字域结合电荷域的混合累加方式,用电荷域累加实现高行频,用数字域实现累加级数的扩展,但这种为实现高精度累加来降低ADC(Analog-to-Digital Con-

verter)高频时钟要求的模数混合域TDI电路,高功耗是一个不可避免的问题.

2 寄生效应影响

为了解决高级数模拟域累加的寄生效应影响,本文提出了一种基于电荷补偿技术的模拟域TDI累加器. 该累加器采用128级高级数累加,通过极性反转电路进行电荷补偿并增加正反馈电容器 C_f 来消除总寄生电容的影响. 当电路处于采样阶段时,极性反转电路会造成不同极性的累加,通过前后两个采样阶段的寄生效应相互抵消. 在电荷积累的初始测试阶段,总寄生电容值由测试输出结果决定,正反馈电容值在测试模式中通过使能自适应确定,即可自动配置与总寄生电容

值相同的正反馈电容,从而消除保持阶段的寄生效应影响。

模拟域累加器在传统开关电容电路结构的基础上,由运算放大器、采样电容和存储电容网络三部分组成。其中随累加级数的扩展,存储电容部分会使与像素单元对应的用于存储电荷的积分器也相应增加,以至于在版图设计中,保持电容阵列占据绝大部分的版图面积。CIS中传统的CDS开关电容电路的输出精度对总线寄生电容非常敏感。同理,模拟域累加器会将每一次的寄生效应影响进行叠加,这势必会引起远大于传统开关电路中的寄生效应影响。

积分器与各寄生电容的分布情况如图2所示,其中 C_{pi} 为输入总线与存储电容底极板之间的寄生电容, C_{phi} 为输出总线与存储电容上极板板之间的寄生电容。 C_{pi} 为单级积分器的等效寄生电容, C_{ptotal} 为总线之间的总寄生电容, C_{Hi} 为保持电容。

采样相位寄生效应影响即当积分器1完成累加之后,积分器2、积分器3直至积分器 N 将依次进行电荷转移操作,过程中引起的输入输出总线之间的电压变化会通过寄生电容耦合的方式进入保持电容 C_{Hi} 中。以渡越时间 TL_1 和 TL_2 时段为例,各积分器依次进行逐行采样读出并存储,其运放(OPerational Amplifier, OPA)的输出情况如图3所示。积分器1在 TL_1 阶段的输出是 $V_{o1(1)}$,在 TL_2 阶段的输出是 $V_{o1(2)}$,输出结束之后,输出总线上的电压在积分器2进入采样阶段时,输出电压被复

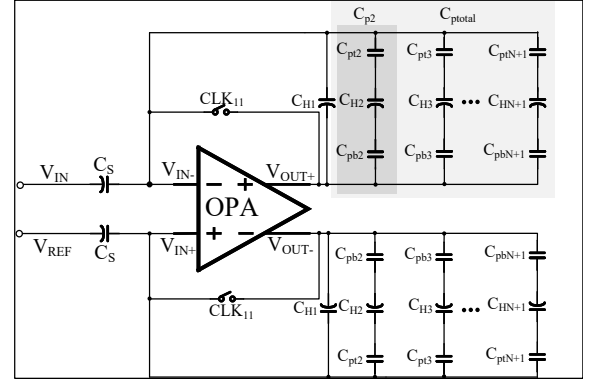


图2 寄生效应影响机理

位到 V_{CM} ,使 V_{IN-} 与 V_{OUT+} 之间的压差由 $1/2V_{o1(1)}$ 降至 V_{CM} ,这一电压变化过程被耦合进 C_{Hi+} ;同时 V_{IN+} 与 V_{OUT-} 之间的压差由 $-1/2V_{o1(1)}$ 上升至 V_{CM} ,并被耦合进 C_{Hi-} ;但通过理论分析与实验验证发现,仅这一过程的寄生电荷会耦合进保持电容 C_{Hi} 中。由图3可知,当积分器1完成第一次累加之后,积分器2累加过程中有一个 V_{CM} 上升至 $V_{o2(1)}$ 的过程,也有一个从 $V_{o2(1)}$ 下降至 V_{CM} 的过程,该电压变化前后数值相等,趋势相反,会使这一过程前后产生的电压相互抵消,因此完整的累加过程中仅在积分器1完成累加之后的这一次电压变化会被耦合进 C_{Hi} 之中,即在 TL_2 阶段仅 $V_{o1(2)}$ 下降至 V_{CM} 的这一变化过程会被耦合进 C_{Hi} 中,经过128次累加之后,这128次电压变化耦合进保持电容 C_{Hi} 中。

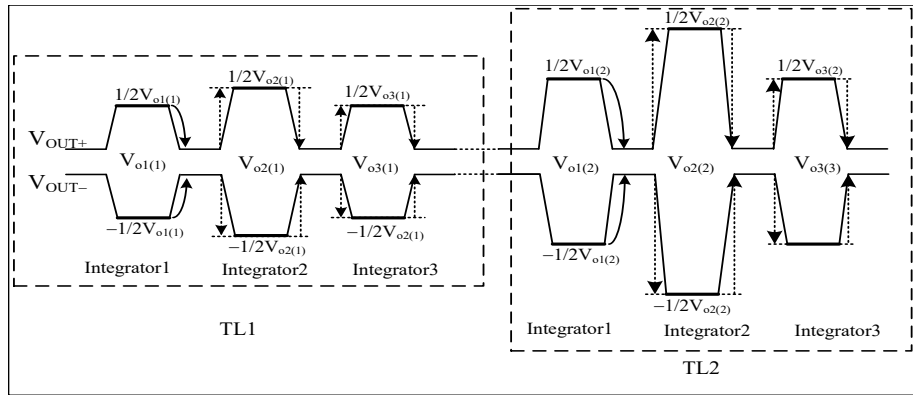


图3 累加器差分输出

寄生电容对于累加精度的影响可被表示为以下关系式:

$$C_{pi} = \frac{C_{pi} C_{phi} C_{Hi}}{C_{pi} C_{Hi} + C_{pi} C_{phi} + C_{phi} C_{Hi}} \quad (1)$$

$$C_{ptotal} = \sum_{i=2}^{N+1} C_{pi} \quad (2)$$

$$Q_{in} = (V_{rst} - V_{sig}) C_S \quad (3)$$

$$Q_{(C_{Hi})o2} = \left[\left(Q_{in} \times \frac{C_{Hi}}{C_{Hi} + C_{ptotal}} \times \frac{C_{Hi} - C_p}{C_{Hi}} \right) + Q_{in} \right] \times \frac{C_{Hi}}{C_{Hi} + C_{ptotal}} \quad (4)$$

$$Q_{(C_{Hi})oN} = Q_{in} \sum_{i=1}^N \left(\frac{C_{Hi}}{C_{Hi} + C_{ptotal}} \right)^i \left(\frac{C_{Hi} - C_p}{C_{Hi}} \right)^{i-1} \quad (5)$$

其中, C_p 为单个积分器的等效总寄生电容; C_{pi} 为输入总线与存储电容底极板之间的寄生电容; C_{phi} 为输出总线与存储电容上极板板之间的寄生电容; C_{Hi} 为保持电容; C_p 可被看作 C_{pi} , C_{phi} 和 C_{Hi} 的串联, Q_{in} 为单次累加中总的转移电荷; $Q_{(C_{Hi})o2}$ 为 C_{Hi} 在保持相下的第二次累加时的总电荷, $Q_{(C_{Hi})oN}$ 为 C_{Hi} 第 N 次累加保持相位时的总电

荷量。

由式(4)可知,当第一次累加处于保持相位时,总的寄生电容 C_{ptotal} 会分享该过程中累加的总电荷,使保持电容 C_{H} 中的电荷被衰减为 $Q_{\text{in}} \times \frac{C_{\text{H}}}{C_{\text{H}} + C_{\text{ptotal}}}$, 并且第一次累加结束之后该电荷量会因采样相位寄生影响被再次衰减。当累加级数较低时影响效果不会很显著;但当累加级数扩展到一定程度以后, C_{ptotal} 会越来越大,电荷量衰减将会越发严重;同时随着累加的级数不断增高,因寄生引起的电荷损失也在一直累加,直至累加电荷等于寄生效应损耗电荷值时,模拟域 CMOS-TDI 图像传感

器停止累加,累加电荷将无法转移进保持电容 C_{H} 中。

3 电荷补偿方案

针对降低寄生效应的方案目前都致力于降低 C_{p} 值以减少电荷损失。本文提出一种电荷补偿方法来抵消寄生效应引起的电荷损失。如图4所示的可消除寄生效应模拟域累加器电路中,像素单元逐行曝光读出,经过模拟域 CMOS-TDI 电路的积分器进行逐行累加,再输出到后续 ADC 进行模数转换处理(图中右侧为部分关键电路的版图设计)。

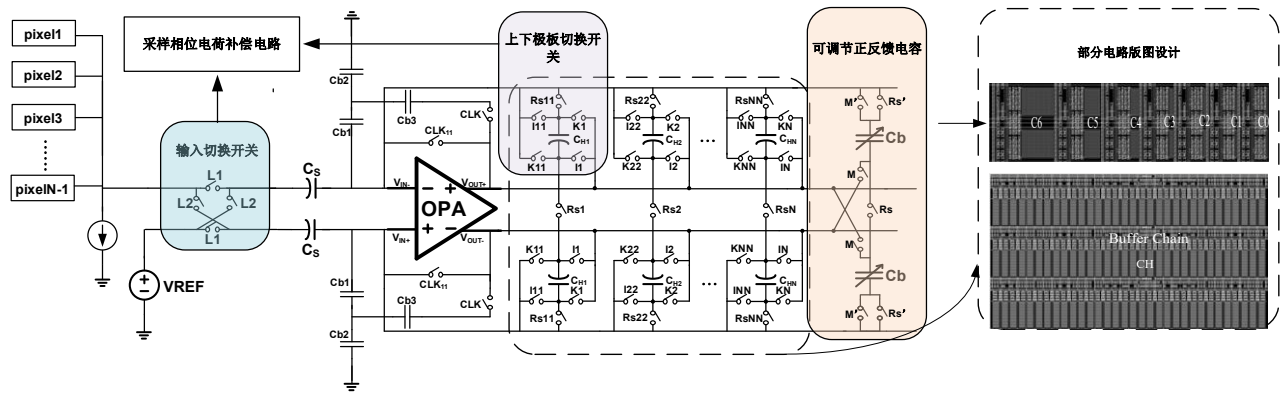


图4 可消除寄生效应模拟域累加器

该累加电路由采样相位寄生效应消除电路、保持相位寄生效应消除电路和传统 CDS 开关电容电路组成;采用了过采样率为 129/128 的时间过采样技术,逐行读取进入相应的积分器。控制信号的时序如图5所示。在 TL₁ 阶段,当 C_{H} 为采样相位时 $\text{Rs}1$ 为高, $\text{L}1$ 为高,积分器 1 中的电荷进行刷新,此时 Rs 为高电平,并刷新正反馈电容 C_{b} 中的电荷。开关 $\text{I}1$ 和 $\text{I}11$ 导通, CLK_{11} 断开,采样电容 C_{s} 上的电荷转移进保持电容 C_{H} 中,同时,开关 M 导通,正反馈电容 C_{b} 为 C_{H} 提供正反馈来抵消总寄生电容 C_{ptotal} 的影响;在 TL_2 阶段时,积分器 1 处于第二累加,此时极性切换开关 L_2 为高电平,开关 K_1 和 K_{11} 导通,保持电容 C_{H} 切换极板进行充电,使 $V_{\text{OUT}+}$ 由原先的高压切换至低压,另一端输出 $V_{\text{OUT}-}$ 同样如此。开关 K_1 和 K_{11} 相较于 I_1 和 I_{11} 提前断开,以底板采样技术减少开关电荷注入。正反馈电容器的工作原理随后进行展开描述。 $V_{\text{OUT}+}$ 和 $V_{\text{OUT}-}$ 在高电压和低电压之间切换。当积分次数达到 128 次后,累加器输出,同时进行最初的电荷刷新过程,重新开始新一轮的累加读出。

3.1 采样相位电荷补偿电路

采样相位电荷补偿电路由输入换向开关和保持电容 C_{H} 上下极板切换开关组成。如图6所示,采样阶段的电荷损失发生在累加完成之后。积分器 1 从保持相位进入积分器 2 采样相位过程中,输出总线电压由输出电

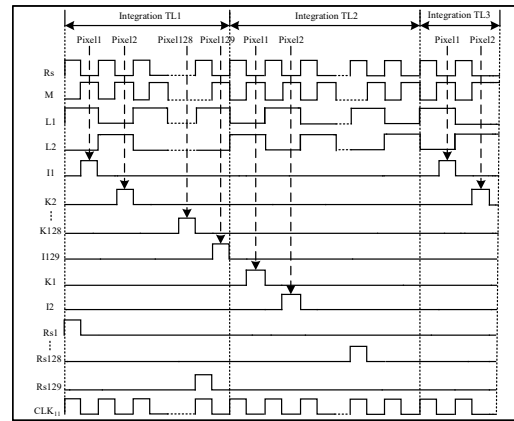


图5 时序控制图

压恢复到 V_{CM} , 该电压变化通过寄生电容被耦合到保持电容 C_{H} 。经过 128 次累积后,误差也叠加了 128 次,忽略保持相位的电荷损失,采样相位的电荷损失可表示为

$$Q_{\text{loss}(C_{\text{H}}) \times 2} = \frac{C_{\text{p}}}{C_{\text{H}}} \quad (6)$$

$$Q_{\text{loss}(C_{\text{H}}) \times N} = Q_{\text{in}} \sum_{i=1}^N \left(\frac{C_{\text{p}}}{C_{\text{H}}} \right)^{i-1} \quad (7)$$

C_{H} 第一次累加输出时,其输出的总电量为 Q_{in} 。累加完成后,母线电压耦合造成的电荷损失会反映在二次累加中,式(6)即可体现,这也说明电荷损失与累加输出之间存在一定的滞后性。第二次累积输出只反映

第一次的电荷损失,累加 N 次时,其电荷损耗值如式(7)所示,由此可见电荷损耗随级数的累加而线性增

加,这对模拟域TDI图像传感器累加级数的扩展起到极大的抑制作用.

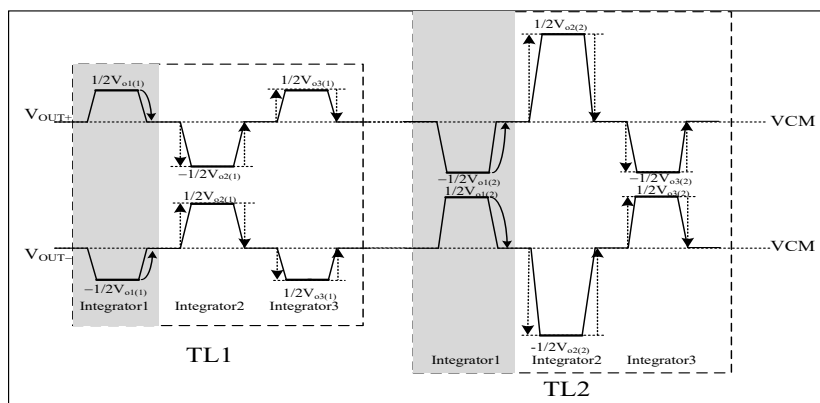


图6 累加器输出整形后差分输出

对于单级的累加来讲,其寄生效应很微弱且每级累加输出的结果恒定,但一级级微弱的累加也无法避免在经过多级累加器后的叠加效果对寄生效应的影响.而本文提出的电荷补偿技术正适用于高模拟域累加器,其通过输出极性反转波形整形的级数来测量其输出总线的电压,从而实现采样相位电荷损失由前级和后级的累加输出相互抵消,提高累加精度.

整形后的输出母线电压如图6所示,再结合图5的电路控制时序,在 TL_1 阶段, C_{HI} 存在一个死区.从保持阶段结束到下一个采样阶段之间的差分输出保持 V_{o1} .采样阶段结束后, CLK_{11} 导通,输出为0,通过寄生电容耦合到 C_{HI} .在 TL_2 阶段, L_2 为高电平, C_{HI} 通过底板充

电,此时差分输出保持 V_{o2} ,直到 TL_3 阶段 CLK_{11} 导通,耦合到 C_{HI} ,抵消上次 C_{HI} 中的电荷损失.也就是说,当 L_1 为高电平时, C_{HI} 通过 I_i 积累电荷;当 L_2 为高电平时, C_{HI} 通过 K_i 积累电荷.每次累加时, L_1 和 L_2 切换一次,上一次和下一次的寄生电荷效应两两抵消,从而实现采样相位阶段的电荷补偿.

传感器采用过采样率为 129/128 的时间过采样技术.以 9/8 的过采样率为例,图7展现了累加器工作的全过程. TL_1 的第1行像素单元的输出存入积分器1, TL_2 的第2行像素单元的输出存入积分器1,直至 TL_8 的第8行像素单元的输出存入积分器1,8次累加结束后,积分器1将8次累加的电压统一输出给ADC,以便后续信号处理.

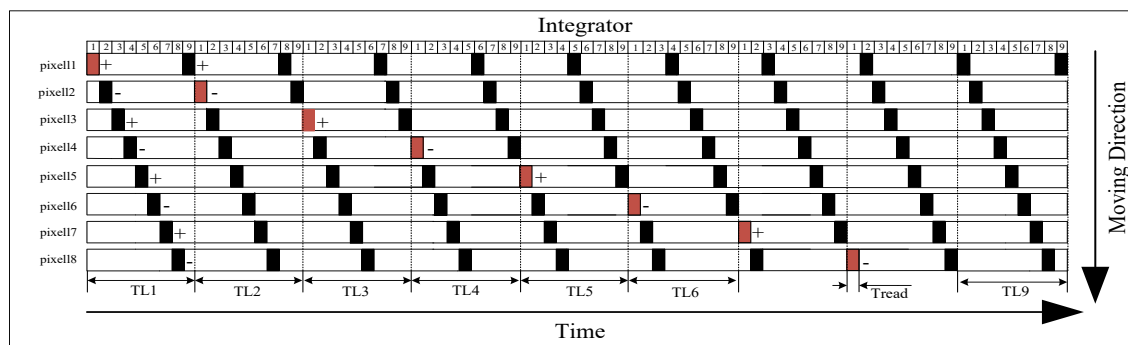


图7 9/8累加器工作原理

图7中规定 L_1 导通时极性为正, L_2 导通时极性为负,因此第一次累加输出的极性为正,第二次累加输出的极性为负.随着 L_1 和 L_2 交替连续导通,累加器依次规律输出,得到采样相位经电荷补偿后的电荷损失可表示为

$$Q_{\text{loss}(C_{HI})oN} = V_{(C_{HI})o1} \frac{C_p}{C_H} - V_{(C_{HI})o2} \frac{C_p}{C_H} + V_{(C_{HI})o3} \frac{C_p}{C_H} - \dots - V_{(C_{HI})oN} \frac{C_p}{C_H} \quad (8)$$

3.2 保持相位电荷补偿电路

保持相位的电荷损失机制如图8所示.该寄生效应可以等效为在输入和输出总线之间串联一个电容.这种寄生效应的存在,增加了环路的负反馈系数.为此本文通过引入一个可调的正反馈电容 C_b 来抵消这种寄生效应,以实现保持相位的电荷补偿.

本文使用的可调整反馈是通过引入一种测试模式,让各列并行同步计算来实现的.当图8电路 V_{in} 输入

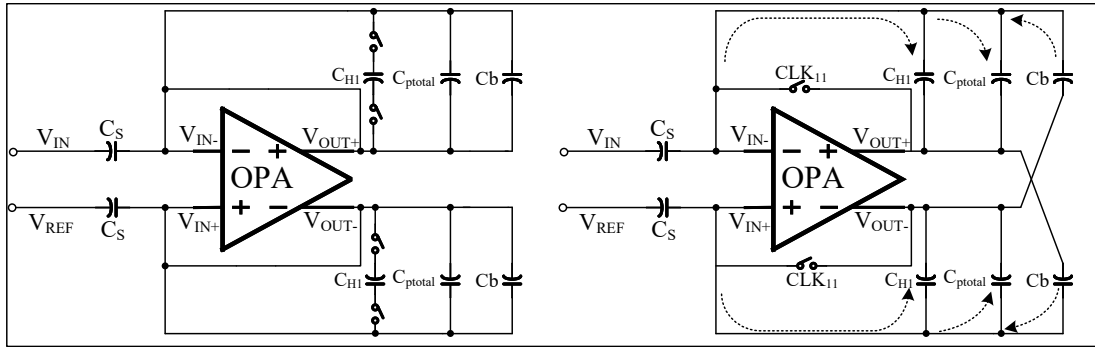


图8 保持相位正反馈电容电荷补偿电路

1 V的阶跃信号时,保持相位 V_{out+} ,则会理想输出500 mV的 V_{CM+} ,使图9中比较器的反相端得到500 mV的输出,而比较器的同相端 V_{CMtest} 由DAC根据不同的 V_{CM} 值给出.可变电容 $C_1 \sim C_3$ 为[0:6]可调,最大正反馈电容为127 fF.当电路处于保持阶段时,正反馈电容控制开关按照111111~000000依次递减动作.当 V_{out+} 大于 V_{CMtest} 时,EA使能信号反转,开关信号停止下降.

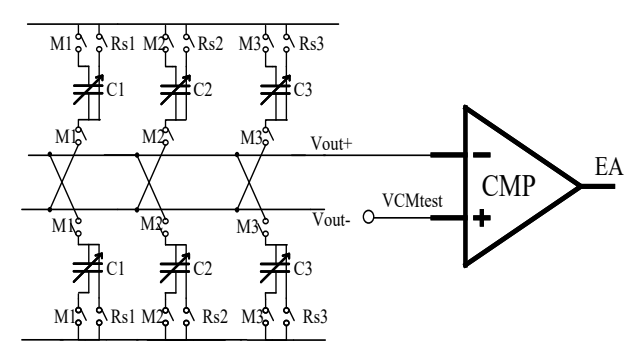


图9 保持相位寄生效应抵消机制电路实现

正反馈电容电路由控制开关和正反馈电容 C_b 组成,并进行单级累加.当 C_b 容值由测试模式确定之后, C_b 的值等于 C_{ptotal} .在采样阶段, Rs_i 为高电平, C_b 中的电荷被冲洗;在保持阶段,M为高电平, V_{IN+} 和 V_{OUT-} 之间的电压差,以及 V_{IN+} 和 V_{OUT+} 之间的电压差值相等且极性相反,这抵消了 C_{ptotal} 对积分器的电荷分布.所提出电路的输出可以表示为

$$Q_{(C_{H1})_{02}} = \left[\left(Q_{in} \times \frac{C_H}{C_H + C_{ptotal} - C_b} \times \frac{C_H - C_p}{C_H} \right) + Q_{in} \right] \times \frac{C_H}{C_H + C_{ptotal} - C_b} \quad (9)$$

$$Q_{(C_{H1})_{0N}} = Q_{in} \sum_{i=2}^N \left(\frac{C_H}{C_H + C_{ptotal} - C_b} \right)^i \left(\frac{C_H - C_p}{C_H} \right)^{i-1} \left(\frac{C_H + C_p}{C_H} \right)^{i-2} + Q_{in} \frac{C_H}{C_H + C_{ptotal} - C_b} \quad (10)$$

$$Q_{(C_{H1})_{0N}} = Q_{in} \sum_{i=2}^N \left(\frac{C_H - C_p}{C_H} \right)^{i-1} \left(\frac{C_H + C_p}{C_H} \right)^{i-2} + Q_{in} \quad (11)$$

比较式(11)和式(5)可知,正反馈电容 C_b 抵消了 C_{ptotal}

的寄生效应,OPA的输出进行高低压切换,使采样相位的寄生电荷损失相互抵消,电荷补偿型TDI电路可以有效消除寄生效应影响,提高输出的线性度.

4 KT/C噪声消除电路

电容器是无噪声的电路元件,而电阻以及用来转移电荷的晶体管会产生一定的噪声.这种热噪声又叫约翰逊或奈奎斯特噪声,它与其他噪声源(如散粒噪声和闪变噪声)不同,是由热激发引起载流子的随机运动而产生的.因此,在考虑与采样相关的噪声时,热噪声是一种主要的噪声源.也就是说,只要有一个直流输入与采样电路达到热平衡,热噪声就会出现并限制其信噪比.

与此同时,在开关电容电路,特别是在有源电路的情况下,闪烁噪声也可以是一个重要的噪声贡献者.然而,相对于采样率移动缓慢的噪声,闪烁噪声可以采用偏移消除技术(如自动调零技术和放大器斩波技术)来减少或消除噪声.所以,想要在采样系统中实现更低的噪声,就必须使用更大的采样电容^[16,17].但不幸的是,一味地增加电容尺寸不仅会增加版图面积,还会使其性能参数受到影响.

由于图像传感器在TDI模式下涉及许多采样操作,因此必须考虑噪声的影响.其中热噪声和闪烁噪声是两个重要的固有噪声来源.在设计中,通过使用输入偏移存储技术,将闪烁噪声降低到可忽略不计的水平.对于TDI图像传感器来讲,其读出电路包括像素中的源极跟随器、累加器和ADC.这里我们对ADC引入的噪声忽略不计,因为ADC的量化操作在128次累加期间仅发生一次,因此,我们只关注源极跟随器和累加器引入的热噪声的影响.假定所有电容器的容值相等(均表示为 C),在开关电路中,运放和开关都会带来一定的噪声,而相比运放,开关带来的噪声微乎其微,因此需要着重考虑运放OPA带来的噪声.

在采样阶段,采样电容采集到的热噪声可以表示为

$$\overline{v_{\text{accum},s}^2} = \frac{2KT}{3} \times \frac{1}{C_s} = 2 \times \frac{2}{3} \times \frac{KT}{C_s} \quad (12)$$

$$\overline{v_{\text{accum},h}^2} = \frac{2KT}{3} \times \frac{1}{C_H} = 2 \times \frac{2}{3} \times \frac{KT}{C_H} \quad (13)$$

$$\overline{v_{\text{total}}} = \sqrt{\overline{v_{\text{accum},s}^2} + \overline{v_{\text{accum},h}^2}} = \sqrt{\frac{8}{3} \times \frac{KT}{C_s}} \quad (14)$$

在保持阶段,当保持电容浮空后,保持电容上的噪声会以一固定电压值存在,该值会随CMOS-TDI图像传感器的累加级数 N 的增加而进行累加,经过 N 次累加之后的总噪声可以表示为

$$\overline{v_{\text{total}}} = \sqrt{\overline{v_{\text{accum},s_1}^2} + \overline{v_{\text{accum},h_1}^2} + \dots + \overline{v_{\text{accum},s_N}^2} + \overline{v_{\text{accum},h_N}^2}} \times \sqrt{\frac{8N}{3} \times \frac{KT}{C}} \quad (15)$$

从式(15)可以看出,想要降低电路噪声对累加精度的影响,只能使用增大采样电容和保持电容大小的方法.通过分析验证,必须对面积功耗与精度进行折中,其中电容大小最低为1 pF时,可满足10 bit精度需求,而单个积分器需要2 pF电容,故129/128的过采样共需要260 pF电容来完成128级TDI功能.

由式(12)可知,采样相位的噪声是在 CLK_{11} 断开时发生,此时采样电容 C_s 上极板为像素单元输出复位电压 V_{rst} ,下极板在 CLK_{11} 断开之后处于浮空状态,噪声在 C_s 的下极板上稳定之后形成固定电压值.由式(13)可知,保持相位噪声电压则是I11断开之后发生的,此时保持电容 C_H 单端悬空,此时的噪声就像开关电荷注入

一样随开关I11的断开被稳定在保持电容 C_H 上.同理,每次累加过程中总的噪声影响就发生在这两个时刻.

下面对采样相位KT/C噪声消除的工作原理进行详细描述.如图10所示,在采样阶段, CLK_{11} 断开时,电路热噪声会固定在采样电容 C_s 的上极板位置(对应时刻2),此时的开关电荷注入也会同热噪声一并转移至采样电容上极板位置,导致输入节点的电压产生变化,因为该时刻的采样电容下极板接像素单元复位信号 V_{rst} ,上极板处于悬空状态,使混入固定噪声电荷的采样电容 C_s 与开关电荷注入引起电荷量的变化,因此,噪声与开关电荷入只能对电容上极板节点造成的影响.当电路进入时刻3时,开关 CLK_{11} 断开, CLK 导通,通过反馈电容 C_{b1}, C_{b2}, C_{b3} 将采样电容上极板处节点恢复到 CLK_{11} 断开之前的状态,此时可以认为采样相位的采样电容上采集的噪声被消除掉,此时的总噪声公式可表示为

$$\overline{v_{\text{total}}} = \sqrt{\overline{v_{\text{accum},h}^2}} = \sqrt{\frac{4}{3} \times \frac{KT}{C}} \quad (16)$$

$$\overline{v_{\text{total}}} = \sqrt{\overline{v_{\text{accum},h_1}^2} + \overline{v_{\text{accum},h_2}^2} + \dots + \overline{v_{\text{accum},h_N}^2}} = \sqrt{\frac{4}{3} \times \frac{KT}{C}} \quad (17)$$

比较式(15)和式(17)可以明显看出,电路噪声被降低了一半,这就会使采样电容与保持电容的容值需求也降低一半,从而大幅减小整体电容阵列的版图面积.

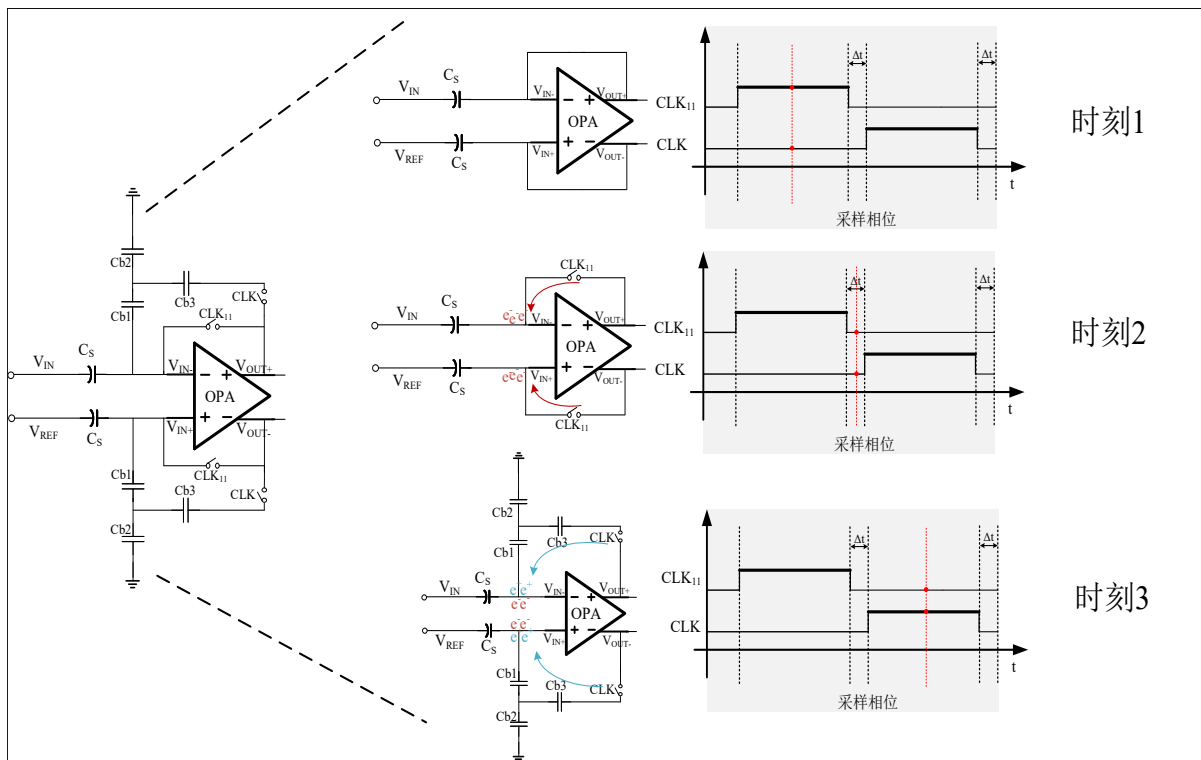


图10 采样相位KT/C消除技术原理

5 试验结果与数据分析

如图 11 所示,经过前后仿真验证发现,本文提出的电路在自适应电荷补偿技术的加持下,在前仿真阶段,可以实现 126.53 级的有效累加,可以将开关电荷注入、时钟馈通、运放失调、等效寄生效应等影响抑制到极低水平;在后仿真阶段,由于保持相位的寄生电容无法完全抵消,累加精度受到一定的影响,128 级累加最终可以实现 124 级的有效累加级数. 因此,本文所提方法基于极性翻转与正反馈机理,对因寄生效应而损失的电荷进行补偿,可以实现累加精度的有效提升.

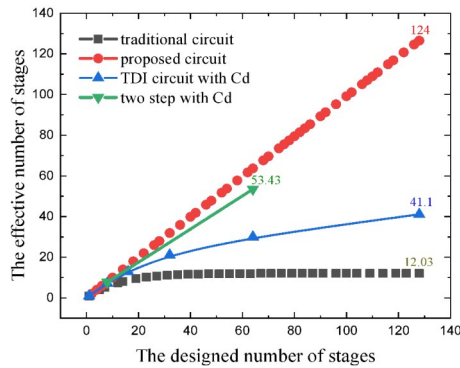


图 11 有效累加级数仿真数据对比

对于信噪比 SNR,如图 12 所示,在完全理想的情况下,128 级累加可以实现 21.072 dB 的 SNR 提升. 实际验证发现,前仿真可以实现 21.023 dB 的 SNR 提升,后仿真可达到 20.9 dB 的 SNR 提升,极大地接近理想值.

如图 13 所示,从 128 级累加输入输出仿真波形上可以看出,同一输入不同累加级数的累加,会从一次累加后的 99.91% 下降到 128 次累加后的 96.993 8%;而对于同一累加级数不同输入,如图 12 所示,在低输入时,可以明显看出,开关电荷注入和时钟馈通效应没有完

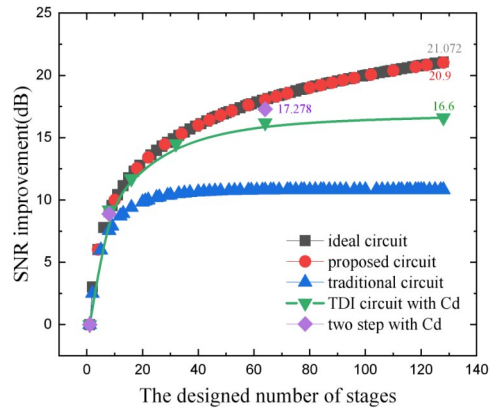


图 12 SNR 提升效果仿真

全被消除,随着输入值的增加,精度逐渐提高,偏移量也不断改善. 数据表明,线性度偏差主要是累加级数的增加引起的,在相同累加序列下,输入值的变化对线性度的影响约为 0.27%.

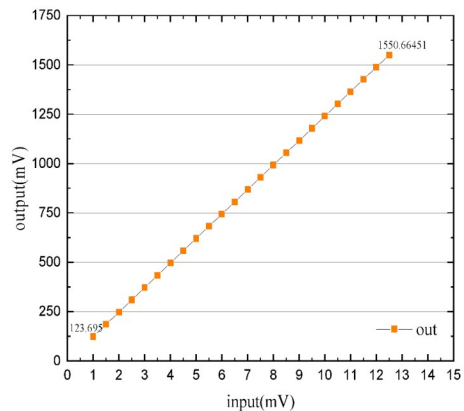


图 13 128 级累加输入输出仿真

表 1 中的质量因子 SET 可以表示为信噪比的改进量与行频之积除以单列像素的功耗,即

$$SET = \frac{\Delta SNR \times R_{line}}{\text{power}} \quad (18)$$

表 1 本文研究仿真结果与其他研究的对比

对比文献	累加器	工艺/ μm	供电/V	像素大小	阵列大小	最高累加级	SNR 改善/dB		线路率	SET	电源/列
本文	模拟域	0.055	3.3/1.8	7	1 024×128	128	20.9	@128	7.75k	352.1	290
文献[5]	数字域	0.11	3.3/1.5	7.5	512×32	32	14.82	@32	9.302k	/	153.2
文献[12]	模拟域	0.18	3.3/1.8	15	1 024×128	128	16.6	@128	3.875k	131.8	488.3
文献[13]	模拟域	0.18	3.3/1.8	15	—	64	17.27	@64	—	—	—
文献[15]	混合域 (电荷,数字)	0.11	3.3/1.5	—	400×256	256	24.15	@256	100k	231.9	—

由表 1 可知,本文传感器在 SET 中的性能优于其他传感器,虽然电荷与数字混合域积累线路率为 7.75 kHz,但是电荷域或数字域的 TDI 电路信噪比改善的效果达到了最低 20.9 dB. 在 128 级累加的情况下,模拟域

TDI 的能耗远低于数字域 TDI 电路,同时该电路的质量因子 SET 达到 352.1,优于数字域和混合域 TDI 电路. 在文献[15]中,虽然电荷与数字混合域积累线路率为 100 kHz,但其功耗远远大于其他 TDI 电路. 因此电荷

补偿技术可以在保证低功耗的同时,大大提高模拟域TDI电路的积累精度。

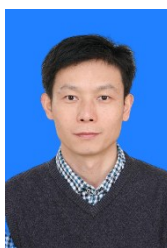
6 总结

本文基于55 nm工艺对模拟域CMOS-TDI图像传感器累加过程中的寄生影响问题提出了创新性的方案,并进行了理论分析和实际验证。从采样、保持两个阶段出发,采用自适应电荷补偿技术、KT/C噪声消除技术,分别提高累加器精度,输出建立速度以及缩小整体电路面积等关键指标。该电路可实现满摆幅1.6 V输出,同时行频满足7.75 kHz,并使128级累加器的SNR提升20.9 dB,极大地提高了低光照下的成像精度。

参考文献

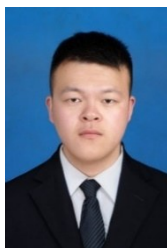
- [1] BARBE D F. Time delay and integration image sensors [M]//Solid State Imaging. Dordrecht: Springer Netherlands, 1976: 659-671.
- [2] YU H, QIAN X Y, GUO M H, et al. An antivibration time-delay integration CMOS image sensor with online deblurring algorithm[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2016, 26(8): 1544-1554.
- [3] KONG X S, BU X F, MAO C, et al. SPAD sensors with 256×2 linear array for time delay integration demonstration [C]//2018 IEEE SENSORS. Piscataway: IEEE, 2018: 1-5.
- [4] FARRIER M G, DYCK R H. A large area TDI image sensor for low light level imaging[J]. IEEE Journal of Solid-State Circuits, 1980, 15(4): 753-758.
- [5] YIN C, LIAO T, LIU K L, et al. A 32-stage 15-b digital time-delay integration linear CMOS image sensor with data prediction switching technique[J]. IEEE Transactions on Electron Devices, 2017, 64(3): 1167-1173.
- [6] CHANG J H, CHENG K W, HSIEH C C, et al. Linear CMOS image sensor with time-delay integration and interlaced super-resolution pixel[C]//SENSORS, 2012 IEEE. Piscataway: IEEE, 2012: 6411292.1-6411292.4.
- [7] DE MOOR P, ROBBELEIN J, HASPELAGH L, et al. Enhanced time delay integration imaging using embedded CCD in CMOS technology[C]//2014 IEEE International Electron Devices Meeting. Piscataway: IEEE, 2014: 4.6.1-4.6.4.
- [8] LIU Y T, XING D Y, WANG Y, et al. A low power dissipation high-speed CMOS image sensor with column-parallel sigma-delta ADCs[J]. Microelectronics Journal, 2015, 46(9): 860-868.
- [9] LIU Y T, XING D Y, WANG Y, et al. A dual-exposure wide dynamic range CMOS image sensor with 12bit column-parallel incremental sigma-delta ADC[J]. Microelectronics Journal, 2016, 55: 189-194.
- [10] LEPAGE G, DANTÈS D, DIELS W. CMOS long linear array for space application[C]//SPIE Proceedings", "Sensors, Cameras, and Systems for Scientific/Industrial Applications VII. SPIE, 2006: 606807.
- [11] NIE K M, YAO S Y, XU J T, et al. Thirty two-stage CMOS TDI image sensor with on-chip analog accumulator[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 22(4): 951-956.
- [12] NIE K M, YAO S Y, XU J T, et al. A 128-stage analog accumulator for CMOS TDI image sensor[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2014, 61(7): 1952-1961.
- [13] XIA Y, NIE K M, XU J T, et al. A two-step analog accumulator for CMOS TDI image sensor with temporal undersampling exposure method[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(3): 1104-1117.
- [14] XU J T, SHI X L, NIE K M, et al. A global shutter high speed TDI CMOS image sensor with pipelined charge transfer pixel[J]. IEEE Sensors Journal, 2018, 18(7): 2729-2736.
- [15] Jing G, Zhang B, Nie K, et al. Research on a pulse-based high-line-rate TDI CMOS image sensor[J]. Microelectronics Journal, 2021, 111: 105021.
- [16] LIM Y, FLYNN M P. A 1 mW 71.5 dB SNDR 50 MS/s 13 bit Fully Differential Ring Amplifier Based SAR-Assisted Pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2015, 50(12): 2901-2911.
- [17] KAPUSTA R, ZHU H Y, LYDEN C. Sampling circuits that break the kT/C thermal noise limit[J]. IEEE Journal of Solid-State Circuits, 2014, 49(8): 1694-1701.

作者简介



郭仲杰 男,1982年出生,陕西韩城人。西安理工大学自动化与信息工程学院研究生导师。主要研究方向为超大规模数模混合集成电路的设计。

E-mail: zjguo@xaut.edu.cn



李晨 男,1995年出生,陕西西安人。西安理工大学自动化与信息工程学院硕士研究生。主要研究方向为超大规模集成电路设计。

E-mail: 853925380@qq.com